

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022990  
 (43)Date of publication of application : 21.01.2000

(51)Int.CI.

H04N 5/205  
H03H 11/04

(21)Application number : 10-185189  
 (22)Date of filing : 30.06.1998

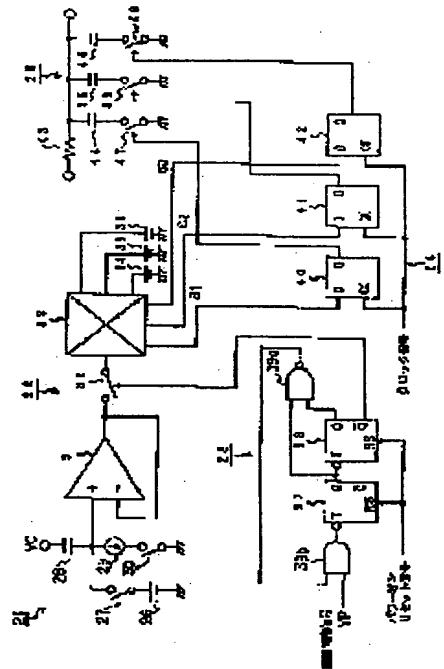
(71)Applicant : TOSHIBA CORP  
 (72)Inventor : TAKAGI KAZUYOSHI

## (54) FILTER CIRCUIT AND TV SIGNAL SYSTEM

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a filter circuit with a frequency adjusting function which can prevent a center frequency from being switched while a signal is outputted.

SOLUTION: The filter circuit is constituted to include a time constant circuit 21 which generates a time constant, a monitor circuit 22 which monitors the time constant of this time constant circuit 21, a switch 32 which controls the operation of the monitor circuit 22, a timer circuit 23 which measures the time, a latch circuit 24 which latches the monitored result, and a CR circuit 25 whose time constant is varied according to the data of the latch circuit 24. The monitor circuit 22 monitors the time constant until the timer circuit 23 detects that a specific time is elapsed after the power source is turned on and the operation of the monitor circuit 22 is stopped thereafter by a switch, thereby controlling the time constant of the CR circuit 25 according to the data of the latch circuit 24. The operation of the monitor circuit 22 is stopped when the specific time is elapsed after the power source is turned on, so that the center frequency is prevented from being switched while the signal is outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BLANK PAGE

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-22990

(P2000-22990A)

(43)公開日 平成12年1月21日 (2000.1.21)

(51)Int.Cl.<sup>7</sup>

H 04 N 5/205

H 03 H 11/04

識別記号

F I

H 04 N 5/205

H 03 H 11/04

テーマコード(参考)

5 C 0 2 1

J 5 J 0 9 8

審査請求 未請求 請求項の数 8 OL (全 9 頁)

(21)出願番号

特願平10-185189

(22)出願日

平成10年6月30日 (1998.6.30)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高木 和喜

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

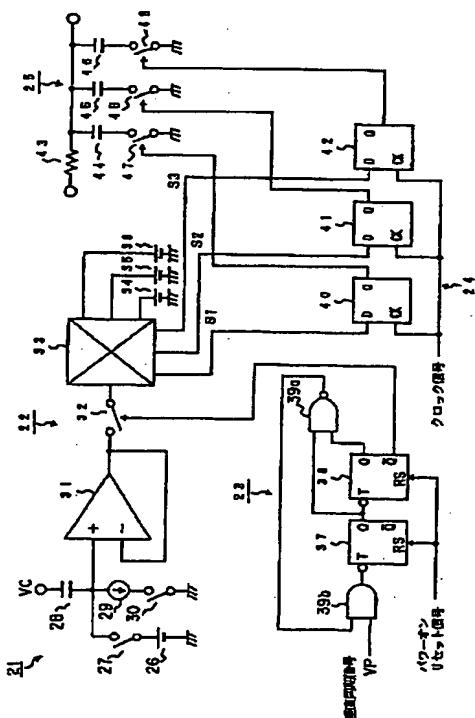
最終頁に続く

(54)【発明の名称】 フィルタ回路及びTV信号システム

(57)【要約】

【課題】信号の出力中に中心周波数が切り換えられてしまうのを防止できる周波数調整機能付きのフィルタ回路を提供することを目的としている。

【解決手段】フィルタ回路は、時定数を生成する時定数回路21、この時定数回路の時定数をモニタするモニタ回路22、モニタ回路の動作を制御するスイッチ32、時間を測定する計時回路23、モニタ結果をラッチするラッチ回路24及びこのラッチ回路のデータに基づいて時定数が可変されるCR回路25を含んで構成されている。計時回路で電源の投入から所定の時間が経過したことが検出されるまではモニタ回路で時定数をモニタし、それ以降はスイッチによりモニタ回路の動作を停止させ、ラッチ回路のデータに基づいてCR回路の時定数の制御を行うことを特徴とする。電源の投入から所定時間経過するとモニタ回路の動作を停止するので、信号の出力中に中心周波数が切り換えられてしまうのを防止できる。



## 【特許請求の範囲】

【請求項1】 モニタ用の時定数を生成する時定数回路と、

上記時定数回路によって生成された時定数をモニタするモニタ回路と、

上記モニタ回路によるモニタ動作を制御するスイッチ手段と、

電源の投入から所定の時間経過するまでの時間を測定して上記スイッチ手段を制御し、電源の投入から所定の時間経過するまで上記モニタ回路を動作させ、所定の時間経過後に上記モニタ回路の動作を停止させる計時手段と、

上記モニタ回路による時定数のモニタ結果をラッチするラッチ回路と、

上記ラッチ回路にラッチされたモニタ結果に基づいて時定数が可変されるCR回路とを具備することを特徴とするフィルタ回路。

【請求項2】 前記時定数回路は、キャパシタと、このキャパシタを充電する充電手段と、上記キャパシタを一定の電流で放電する放電手段とを備え、前記モニタ回路で上記キャパシタの放電状態をモニタすることを特徴とする請求項1に記載のフィルタ回路。

【請求項3】 前記モニタ回路は、非反転入力端に前記時定数回路の出力が供給され、出力端が反転入力端に接続されたオペアンプと、このオペアンプの出力と複数の基準電位とをそれぞれ比較する比較手段とを備え、前記スイッチ手段は、上記オペアンプの出力端と上記比較手段の入力端間に設けられることを特徴とする請求項1または2に記載のフィルタ回路。

【請求項4】 前記計時手段は、一方の入力端に垂直同期信号が入力されるアンドゲートと、パワーオンリセット信号でリセットされ、上記アンドゲートの出力信号の反転信号が入力される第1のフリップフロップと、上記パワーオンリセット信号でリセットされ、上記第1のフリップフロップの出力信号の反転信号が供給され、前記スイッチ手段をオン／オフ制御する第2のフリップフロップと、上記第1、第2のフリップフロップの出力信号が供給され、出力信号が上記アンドゲートの他方の入力端に帰還される NANDゲートとを備え、前記第2のフリップフロップの出力信号の反転信号で前記スイッチ手段がオン／オフ制御することを特徴とする請求項3に記載のフィルタ回路。

【請求項5】 前記ラッチ回路は、データ入力端に前記モニタ回路の出力信号が供給され、データ出力端から前記CR回路に時定数を可変するための信号を供給し、クロック信号に応答して動作する複数のフリップフロップを含むことを特徴とする請求項1ないし4いずれか1つの項に記載のフィルタ回路。

【請求項6】 前記CR回路は、抵抗素子と、一端がそれぞれ前記抵抗素子の一端に接続され、容量値が異なる

複数のキャパシタと、前記各キャパシタの他方の電極と接地点間にそれぞれ設けられ、前記ラッチ回路の出力信号でオン／オフ制御される複数のスイッチとを含むことを特徴とする請求項1ないし5いずれか1つの項に記載のフィルタ回路。

【請求項7】 前記時定数回路及び前記CR回路は、単一の半導体チップ上の物理的に近い位置に配置されることを特徴とする請求項1ないし6いずれか1つの項に記載のフィルタ回路。

【請求項8】 キャパシタを充電した後、定電流で放電することによりモニタ用の時定数を生成する時定数回路と、

上記時定数回路の出力電圧と複数の基準電位とを比較することにより、上記時定数回路によって生成された時定数をモニタするモニタ回路と、

上記モニタ回路によるモニタ動作を制御するスイッチと、

パワーオンリセット信号でリセットされ、垂直同期信号を用いて、電源の投入から所定の時間経過するまで上記スイッチをオンさせ、所定の時間経過後に上記スイッチをオフさせるタイマと、

上記モニタ回路による時定数のモニタ結果をラッチするラッチ回路と、

上記ラッチ回路にラッチされたモニタ結果に基づいて時定数が可変されるフィルタ回路とを具備することを特徴とするTV信号システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、TV信号システム、ビデオ信号システム及びオーディオ信号システム等に適用される周波数調整機能付きのフィルタ回路に関する。

## 【0002】

【従来の技術】 従来、この種のシステムにおいては、IC内部のキャパシタの容量値や抵抗素子の抵抗値の製造ばらつきによりCR積がばらつき、フィルタ回路の中心周波数  $f_0$  が変動する。このため、チップ中にモニタ用の時定数回路を設け、この時定数回路の時定数をモニタし、このモニタ結果に応じてフィルタ回路中のキャパシタの容量値あるいは抵抗素子の抵抗値を切り換えることにより、中心周波数  $f_0$  が所望の値に近付くよう常に調整を行っている。

【0003】 図4は、従来のTV信号システムにおける上述したような周波数（時定数）の調整機能を持ったフィルタ回路を抽出して示しており、(a) 図はローパスフィルタ、(b) 図はハイパスフィルタである。図4(a)に示す如く、時定数回路11は、モニタ回路12によって時定数がモニタされ、このモニタ回路12の出力信号がCR回路13Aに供給されてキャパシタCと抵抗素子R1、R2、R3とによる時定数が可変されるこ

とにより周波数が調整されるようになっている。すなわち、モニタ回路12の出力信号により、CR回路13A中のスイッチSW1, SW2, SW3が選択的にオン／オフ制御されて抵抗値が異なる抵抗素子R1, R2, R3のいずれか1つが選択されることにより、キャパシタCと選択された抵抗素子とによって時定数が設定されるようになっている。この際、モニタされた時定数が小さい時にはCR回路13A中の抵抗値が大きな抵抗素子R1が選択され、時定数が大きい時にはCR回路13A中の抵抗値が小さな抵抗素子R3が選択され、中間の時にはCR回路13A中の抵抗値が中間の抵抗素子R2が選択される。

【0004】図4(b)に示すハイパスフィルタは、CR回路の構成がローパスフィルタと異なっており、キャパシタCに代えて抵抗Rが、抵抗素子R1, R2, R3に代えてキャパシタC1, C2, C3がそれぞれ設けられている。そして、CR回路13B中のスイッチSW1, SW2, SW3が選択的にオン／オフ制御されて容量値が異なるキャパシタC1, C2, C3のいずれか1つが選択されることにより、抵抗素子Rと選択されたキャパシタとによって時定数が設定されるようになっている。この際、モニタされた時定数が小さい時にはCR回路13B中の容量値が大きなキャパシタC1が選択され、時定数が大きい時にはCR回路13B中の容量値が小さなキャパシタC3が選択され、中間の時にはCR回路13B中の容量値が中間のキャパシタC2が選択されるようになっている。

【0005】しかしながら、上記のような構成のフィルタ回路では、周波数の調整を常時行っているため、時定数が大、中、小のしきい値近辺のサンプル、あるいはスイッチオンドリフト等により、映像信号の出力中（視聴中）にフィルタ回路の中心周波数 $f_0$ が切り換えられてしまうことがあり、この場合には色相の変化等が生じ、視聴者に不快感を与えるという問題がある。この問題は、ビデオ信号システムやオーディオ信号システム等に適用した場合にも同様に発生する。

#### 【0006】

【発明が解決しようとする課題】上記のように周波数の調整機能を持った従来のフィルタ回路は、信号の出力中に中心周波数が切り換えられてしまい、視聴者に不快感を与えるという問題があった。

【0007】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、信号の出力中に中心周波数が切り換えられてしまうのを防止できるフィルタ回路を提供することにある。

【0008】また、この発明の別の目的は、映像信号の出力中にフィルタ回路の中心周波数が切り換えられてしまうのを防止できるTV信号システムを提供することにある。

#### 【0009】

【課題を解決するための手段】この発明の請求項1に記載したフィルタ回路は、モニタ用の時定数を生成する時定数回路と、上記時定数回路によって生成された時定数をモニタするモニタ回路と、上記モニタ回路によるモニタ動作を制御するスイッチ手段と、電源の投入から所定の時間経過するまでの時間を測定して上記スイッチ手段を制御し、電源の投入から所定の時間経過するまで上記モニタ回路を動作させ、所定の時間経過後に上記モニタ回路の動作を停止させる計時手段と、上記モニタ回路による時定数のモニタ結果をラッチするラッチ回路と、上記ラッチ回路にラッチされたモニタ結果に基づいて時定数が可変されるCR回路とを具備することを特徴としている。

【0010】また、請求項2に記載したように、請求項1に記載のフィルタ回路において、前記時定数回路は、キャパシタと、このキャパシタを充電する充電手段と、上記キャパシタを一定の電流で放電する放電手段とを備え、前記モニタ回路で上記キャパシタの放電状態をモニタすることを特徴とする。

【0011】請求項3に記載したように、請求項1または2に記載のフィルタ回路において、前記モニタ回路は、非反転入力端に前記時定数回路の出力が供給され、出力端が反転入力端に接続されたオペアンプと、このオペアンプの出力と複数の基準電位とをそれぞれ比較する比較手段とを備え、前記スイッチ手段は、上記オペアンプの出力端と上記比較手段の入力端間に設けられることを特徴とする。

【0012】請求項4に記載したように、請求項3に記載のフィルタ回路において、前記計時手段は、一方の入力端に垂直同期信号が入力されるアンドゲートと、パワーオンリセット信号でリセットされ、上記アンドゲートの出力信号の反転信号が入力される第1のフリップフロップと、上記パワーオンリセット信号でリセットされ、上記第1のフリップフロップの出力信号の反転信号が供給され、前記スイッチ手段をオン／オフ制御する第2のフリップフロップと、上記第1, 第2のフリップフロップの出力信号が供給され、出力信号が上記アンドゲートの他方の入力端に帰還される NANDゲートとを備え、前記第2のフリップフロップの出力信号の反転信号で前記スイッチ手段がオン／オフ制御されることを特徴とする。

【0013】また、請求項5に記載したように、請求項1ないし4いずれか1つの項に記載のフィルタ回路において、前記ラッチ回路は、データ入力端に前記モニタ回路の出力信号が供給され、データ出力端から前記CR回路に時定数を可変するための信号を供給し、クロック信号に応答して動作する複数のフリップフロップを含むことを特徴とする。

【0014】請求項6に記載したように、請求項1ないし5いずれか1つの項に記載のフィルタ回路において、

前記CR回路は、抵抗素子と、一端がそれぞれ前記抵抗素子の一端に接続され、容量値が異なる複数のキャパシタと、前記各キャパシタの他方の電極と接地点間にそれぞれ設けられ、前記ラッチ回路の出力信号でオン／オフ制御される複数のスイッチとを含むことを特徴とする。

【0015】請求項7に記載したように、請求項1ないし6いずれか1つの項に記載のフィルタ回路において、前記時定数回路及び前記CR回路は、單一の半導体チップ上の物理的に近い位置に配置されることを特徴とする。

【0016】更に、この発明の請求項8に記載したTV信号システムは、キャパシタを充電した後、定電流で放電することによりモニタ用の時定数を生成する時定数回路と、上記時定数回路の出力電圧と複数の基準電位とを比較することにより、上記時定数回路によって生成された時定数をモニタするモニタ回路と、上記モニタ回路によるモニタ動作を制御するスイッチと、パワーオンリセット信号でリセットされ、垂直同期信号を用いて、電源の投入から所定の時間経過するまで上記スイッチをオンさせ、所定の時間経過後に上記スイッチをオフさせるタイマと、上記モニタ回路による時定数のモニタ結果をラッチするラッチ回路と、上記ラッチ回路にラッチされたモニタ結果に基づいて時定数が可変されるフィルタ回路とを具備することを特徴としている。

【0017】請求項1のような構成によれば、電源の投入から所定の時間経過するまでの短時間のみに時定数の調整を行い、それ以降はラッチ回路にラッチしたモニタ結果のデータを用いて一定に調整するので、信号出力中の中心周波数の変化を防止できる。

【0018】請求項2に示すように、時定数回路は、キャパシタ、充電手段及び放電手段で構成でき、上記キャパシタを充電した後、一定の電流で放電してモニタ用の時定数を生成する。

【0019】請求項3に示すように、モニタ回路は、オペアンプと比較手段とで構成し、スイッチ手段をオペアンプの出力端と比較手段の入力端間に設ければ、モニタ動作を容易に制御できる。

【0020】請求項4に示すように、計時手段は、パワーオンリセット信号でリセットし、垂直同期信号を利用して時間を計るようにすれば、TV信号システムやビデオ信号システムに適用したときに映像が出力されない期間中に周波数を調整できる。

【0021】請求項5に示すように、ラッチ回路を複数のフリップフロップで構成し、クロック信号として水平同期信号を与えれば、TV信号システムやビデオ信号システムで本来用いる信号を利用できる。

【0022】請求項6に示すように、CR回路としては、抵抗素子、複数のキャパシタ及び複数のスイッチで構成した回路を用いることができる。請求項7に示すように、時定数回路とCR回路を單一の半導体チップ上の

物理的に近い位置に配置すれば、製造ばらつきによるCR積のばらつきも同様になると考えられるので、高精度な時定数の調整を行うことができる。

【0023】請求項8のような構成によれば、電源の投入から映像信号が出力されるまでの短時間のみにフィルタ回路の時定数の調整を行い、それ以降はラッチ回路にラッチしたモニタ結果のデータを用いて一定の時定数で調整するので、映像信号が出力されない期間中に周波数を調整でき、且つ映像信号の出力中における色相の変化等も防止できる。

【0024】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、この発明の実施の形態に係るフィルタ回路について説明するための回路図である。このフィルタ回路は、モニタ用の時定数を生成する時定数回路21、この時定数回路21の時定数をモニタするモニタ回路22、パワーオンリセット信号が入力されてから垂直同期信号VPを計数して時間を測定する計時回路23、モニタ結果のデータをラッチするラッチ回路24及び時定数可変のCR回路25を含んで構成されている。

【0025】上記時定数回路21は、直流電源26、スイッチ27、キャパシタ28、定電流源29及びスイッチ30等から構成されている。上記直流電源26の正極はスイッチ27を介してオペアンプ31の非反転入力端(+)に接続され、負極は接地点に接続される。キャパシタ28の一方の電極は基準電圧源VCに接続され、他方の電極はオペアンプ31の非反転入力端(+)に接続される。このオペアンプ31の非反転入力端(+)と接地点間には、定電流源29とスイッチ30が直列接続されている。

【0026】上記モニタ回路22は、オペアンプ31、スイッチ32、レベル判定回路33及び基準電圧源34、35、36等から構成されている。オペアンプ31の出力端はその反転入力端(-)及びスイッチ32の一端に接続されている。上記スイッチ32の他端には上記レベル判定回路33の入力端が接続され、オペアンプ31の出力電圧と基準電圧源34、35、36の基準電位とが比較される。そして、この比較結果がラッチ回路24に供給されてラッチされる。

【0027】上記計時回路23は、フリップフロップ37、38、 NANDゲート39a及びANDゲート39bから構成されている。上記ANDゲート39bの一方の入力端には垂直同期信号VPが供給され、このANDゲート39bの出力信号が反転されて上記フリップフロップ37の入力端Tに供給される。フリップフロップ37の出力端QにはNANDゲート39aの一方の入力端が接続されており、この出力端Qの信号が反転されてフリップフロップ38の入力端Tに供給される。上記フリップフロップ38の出力端Qには上記NANDゲート39の他

方の入力端が接続され、出力端／Qには上記スイッチ32の制御入力端が接続される。上記 NANDゲート39a の出力信号は、上記アンドゲート39bの他方の入力端に帰還される。上記各フリップフロップ37, 38のリセット入力端RSには、電源の投入時に“H”レベルとなるパワーオンリセット信号が供給される。

【0028】上記ラッチ回路24は、フリップフロップ40, 41, 42から構成されている。フリップフロップ40の入力端Dには上記レベル判定回路33の第1の判定信号S1（時定数が大きい）が供給され、フリップフロップ41の入力端Dには上記レベル判定回路33の第2の判定信号S2（時定数が中）が供給され、フリップフロップ42の入力端Dには上記レベル判定回路33の第3の判定信号S3（時定数が小さい）が供給される。各フリップフロップ40, 41, 42のクロック入力端CKには、クロック信号が供給され、このクロック信号に応答して動作が制御される。

【0029】上記CR回路25は、抵抗素子43、容量値が異なるキャパシタ44, 45, 46及びスイッチ47, 48, 49から構成されている。抵抗素子43の一端には各キャパシタ44, 45, 46の一方の電極が接続され、これらキャパシタ44, 45, 46の他方の電極と接地点間にスイッチ47, 48, 49がそれぞれ接続される。これら各スイッチ47, 48, 49は、上記フリップフロップ40, 41, 42の出力端Dから出力されるラッチデータに応答してオン／オフ制御される。

【0030】次に、上記のような構成において図2のタイミングチャートを用いて周波数の調整動作を説明する。(a) 図は時定数回路21の動作を示し、(b) 図は計時回路23の動作を示している。まず、時刻t0にスイッチ27がオン状態、スイッチ30がオフ状態となり、直流電源26の電圧VAでキャパシタ28が充電される。次の時刻t1に、スイッチ27がオフ状態、スイッチ30がオン状態となり、キャパシタ28に充電された電荷は定電流源29によって放電される。その後、スイッチ27, 30がともにオフ状態となる。同様な動作が繰り返され(時刻t3, t4, t5)、時刻t5に得られた電圧VBが時定数に応じて変化し、この電位変化がオペアンプ31によって増幅された後、スイッチ32を介してレベル判定回路33に供給される。

【0031】レベル判定回路33では、キャパシタ28の放電後の上記オペアンプ31の出力電圧VBと基準電圧源34, 35, 36の電圧とが比較される。そして、比較結果に応じたデータがフリップフロップ40, 41, 42のデータ入力端Dに供給されてラッチされる。これらのフリップフロップ40, 41, 42にラッチされたデータに応じてスイッチ47, 48, 49のいずれか1つがオンし、キャパシタ44, 45, 46が選択されてCR回路25の時定数が設定される。上記キャパシタ44, 45, 46の容量値c1, c2, c3がc1>c2>c3

とすると、上記レベル判定回路33で時定数が大きいと判定されたときにはスイッチ49がオン状態、スイッチ47, 48がオフ状態となってキャパシタ49が選択され、時定数が小さくなるように制御される。一方、レベル判定回路33で時定数が小さいと判定されたときにはスイッチ47がオン状態、スイッチ48, 49がオフ状態となってキャパシタ47が選択され、時定数が大きくなるように制御される。レベル判定回路33で時定数が中間と判定されたときにはスイッチ48がオン状態、スイッチ47, 49がオフ状態となってキャパシタ48が選択され、時定数が中間になるように制御される。

【0032】上述した時定数回路21で生成した時定数のモニタ動作と並行して、計時回路23による計時動作が行われる。まず、電源が投入されるとパワーオンリセット信号によりフリップフロップ37, 38がリセットされる。この状態では NANDゲート39aの出力が“H”レベルであり、アンドゲート39bの他方の入力端は“H”レベルを維持するので、垂直同期信号が“H”レベルになるとアンドゲート39bの出力が“H”レベルとなり、フリップフロップ37の入力端Tには“L”レベルが入力される(時刻t0)。次に、垂直同期信号が“L”レベルとなると、アンドゲート39bの出力も“L”レベルとなり、フリップフロップ37には“H”レベルがセットされる(時刻t1)。この際、フリップフロップ38はリセット状態を維持しているので、その出力端Qは“L”レベル、出力端／Qは“H”レベルとなっている。次のアンドゲート39bの“L”レベルへの立ち下がりに応答して、フリップフロップ37の出力が反転して“L”レベルとなると、フリップフロップ38の出力端Qが“H”レベル、出力端／Qは“L”レベルとなる(時刻t2)。上記フリップフロップ37, 38の出力端Qの“H”レベルにより、NANDゲート39aの出力が“L”レベルとなり、垂直同期信号VPのレベルに拘わらずアンドゲート39bの出力が“L”レベルに固定される。

【0033】スイッチ32は、上記フリップフロップ38の出力端／Qが“H”レベルの期間、すなわち電源の投入から時刻t2までの期間にオン状態となり、時刻t2以降はオフ状態となる。

【0034】よって、上記のような構成によれば、電源の投入から映像信号が出力されるまでの短時間(30msec程度)のみにフィルタ回路の時定数の調整を行い、それ以降はラッチ回路24にラッチしたモニタ結果のデータを用いて一定の時定数で調整できるので、映像信号が出力されない期間中に周波数を調整でき、且つ映像信号の出力中における色相の変化等も防止できる。

【0035】図3は、上記図1に示したフィルタ回路をSECAM色信号処理用のICに適用するときの概略構成を示すブロック図である。この回路は、同期分離回路

51、水平同期処理回路52、垂直同期処理回路53、時定数調整回路54、YC分離回路55、ACC (Automatic color control) 回路56、アイデント (IDENT) 回路57、ベルフィルタ58、復調回路59、ディエンファシス (De-Emphasis) 回路60、マトリックス回路61、増幅器 (AMP) 62、CRT 63及びY信号処理回路64等を含んで構成されている。

【0036】SECAM信号は、FM変調されて放送局から送信されるが、FM信号のノイズ出力電圧は、雑音成分と搬送波との周波数に比例するため、高域周波数におけるS/N比を改善するために、高域を持ち上げて送信される（いわゆるPre-Emphasis）。受信処理側では逆にラグリードフィルタ等を用いて持ち上げられた高域を下げる（De-Emphasis）処理が必要である。このフィルタを内蔵したICではCR積のばらつきによりフィルタの特性がずれるとオーバーシュートがかかったような出力波形となる。そこで、上記CR積のばらつきを時定数調整回路54で補償するようしている。

【0037】この時定数調整回路54は、上記図1に示した回路におけるモニタ用の時定数を生成する時定数回路21、この時定数回路21の時定数をモニタするモニタ回路22、パワーオンリセット信号が入力されてから垂直同期信号を計数して時間を測定する計時回路23及びモニタ結果のデータをラッチするラッチ回路24を含んで構成されている。上記垂直同期信号Vは垂直同期処理回路53から供給され、水平同期処理回路から出力される水平同期信号がラッチ回路24（フリップフロップ40, 41, 42）の動作を制御するクロック信号CKとして供給される。そして、この時定数調整回路54の出力信号でディエンファシス回路60の時定数が調整されるようになっている。

【0038】上記のような構成において、基本的な動作は前述した図1の回路と実質的に同じであり、CR回路25に代えてディエンファシス回路60の時定数が調整される。この際、電源の投入から所定時間（例えば映像信号が出力されるまでの短時間）経過するまではディエンファシス回路60の時定数が調整され、それ以降はラッチ回路24にラッチしたモニタ結果のデータを用いて一定の時定数で調整するので、映像信号が出力されない期間中に周波数を調整でき、且つ映像信号の出力中における色相の変化等も防止できる。

【0039】なお、上記実施の形態では、垂直同期信号VPを用いてスイッチ32をオン／オフ制御するための時間を測定する場合を例にとって説明したが、電源の投入から数10～数100ms程度の時間を測定できれば良いので他の信号を用いるようにしても良い。ま

た、フリップフロップ37, 38を用いる場合を例にとって説明したが、他の回路でも良いのは勿論である。ラッチ回路24としてフリップフロップ41, 42, 43を用いる場合を説明したが、他の構成であっても良い。また、ローパスフィルタを例にとって説明したが、CR回路25を図4 (b) に示したように構成すれば、ハイパスフィルタにも適用できる。

【0040】更に、SECAM色信号処理用のICに適用する場合を例にとって説明したが、他のTV信号システムやビデオ信号システム、あるいはオーディオ信号システム等にも適用可能である。

#### 【0041】

【発明の効果】以上説明したように、この発明によれば、信号の出力中に中心周波数が切り換えられてしまうのを防止できるフィルタ回路が得られる。また、映像信号の出力中にフィルタ回路の中心周波数が切り換えられてしまうのを防止できるTV信号システムが得られる。

#### 【図面の簡単な説明】

【図1】この発明の実施の形態に係るフィルタ回路を示す回路図。

【図2】図1に示したフィルタ回路の動作を説明するためのもので、(a) 図は時定数回路のタイミングチャート、(b) 図は計時回路のタイミングチャート。

【図3】図1に示したフィルタ回路をSECAM色信号処理用のICに適用するときの概略構成を示すブロック図。

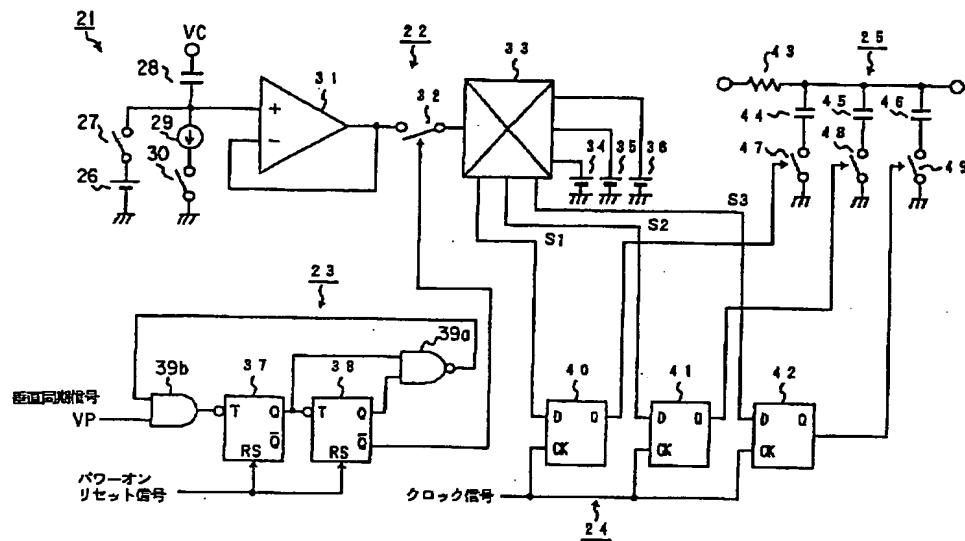
【図4】TV信号システムにおける周波数の調整機能をもつた従来のフィルタ回路を抽出して示すもので、

(a) 図はハイパスフィルタ、(b) 図はローパスフィルタを示す回路図。

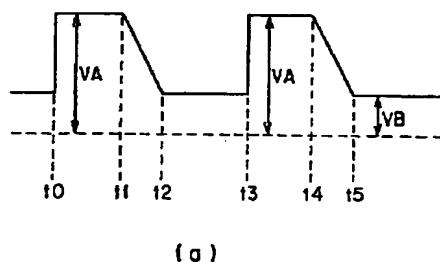
#### 【符号の説明】

21…時定数回路、22…モニタ回路、23…計時回路（計時手段）、24…ラッチ回路、25…CR回路、26…直流電源、27…スイッチ、28…キャパシタ、29…定電流源、30…スイッチ、31…オペアンプ、32…スイッチ（スイッチ手段）33…レベル判定回路（比較手段）、34, 35, 36…基準電圧源、37, 38…フリップフロップ、39a… NANDゲート、39b… ANDゲート、40, 41, 42…フリップフロップ、43…キャパシタ、44, 45, 46…抵抗素子、47, 48, 49…スイッチ、51…同期分離回路、52…水平同期処理回路、53…垂直同期処理回路、54…時定数調整回路、55…YC分離回路、56…ACC回路、57…アイデント回路、58…ベルフィルタ、59…復調回路、60…ディエンファシス回路、61…マトリックス回路、62…増幅器、63…CRT、64…Y信号処理回路。

[图 1]

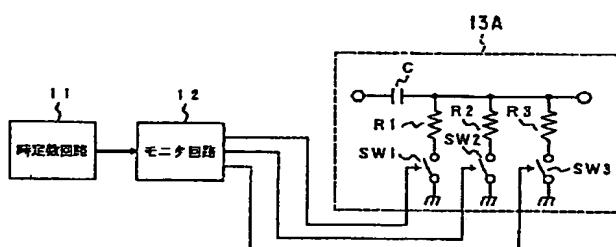


【2】

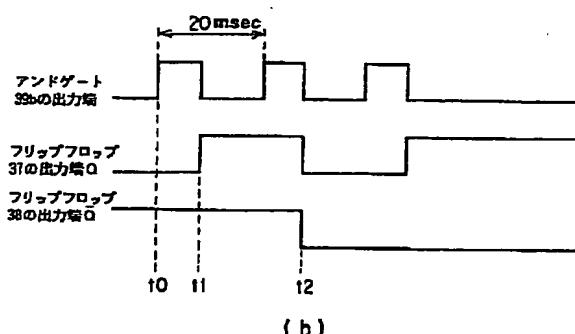


( a )

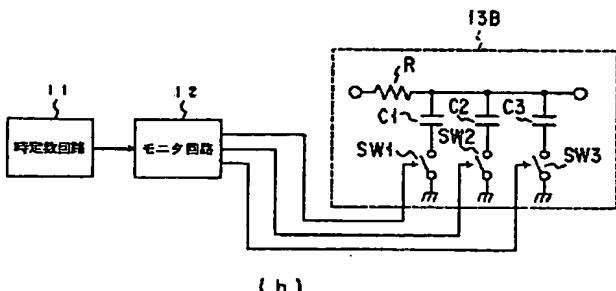
[图4]



[ q ]

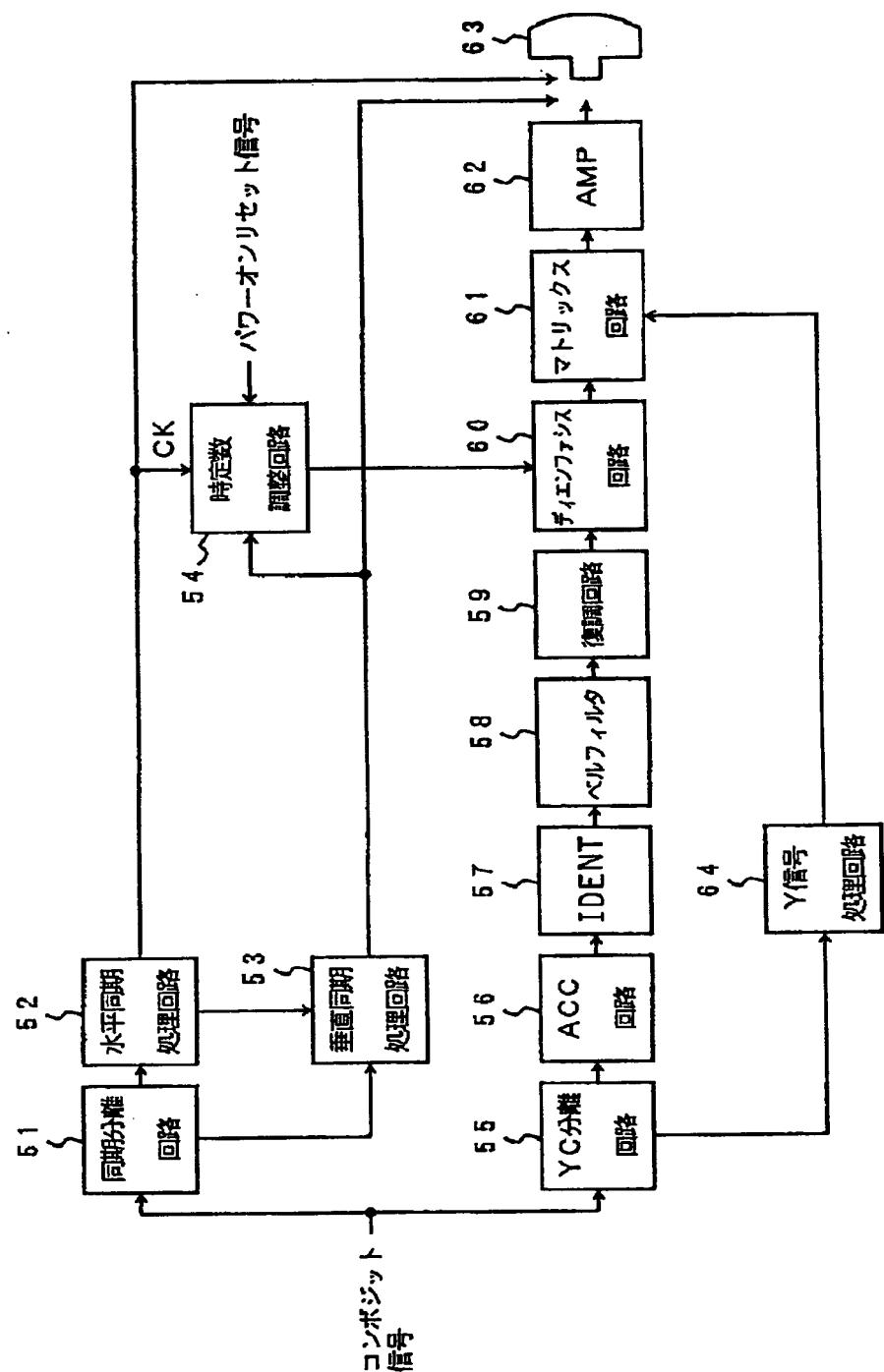


( b )



{ b }

【図3】



フロントページの続き

Fターム(参考) 5C021 PA03 PA18 PA28 PA45 PA53  
PA62 PA64 PA83 PA87 PA89  
PA95 PA96 SA03 XB05 XB11  
5J098 AA11 AA14 AB02 AB06 AB12  
AB16 AB22 AB23 AC02 AC10  
AC20 AD05 AD10 AD14 CA02  
CB02 CB03

BLANK PAGE